



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11102352 A**(43) Date of publication of application: **13.04.99**

(51) Int. Cl.

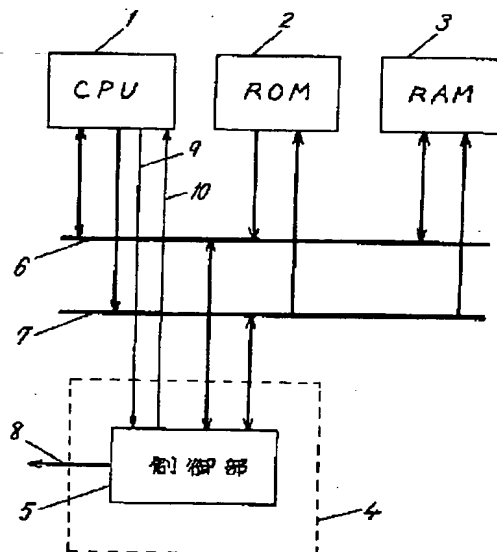
**G06F 15/78**  
**G06F 3/153**
(21) Application number: **09263118**(22) Date of filing: **29.09.97**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **TANAKA KEISUKE**  
**OCHI TAKAHIRO**
**(54) MICROCOMPUTER INCORPORATED WITH CHARACTER DISPLAY CIRCUIT AND DISPLAY DEVICE USING THE SAME**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a microprocessor incorporated with an OSD(character display) circuit which is reducible in chip area and easily designed suitably for a variety of specifications and to provide a display device using the microcomputer.

**SOLUTION:** The microcomputer is equipped with a CPU 1 which executes instructions, an OSD circuit 4 for displaying character information on a display, a ROM 2 where a space that the CPU 1 uses and a space that the OSD circuit 4 uses are optionally set, a RAM 3 where a space that the CPU 1 uses and a space that the OSD circuit 4 uses are optionally set, and a couple of buses consisting of a data bus 6 and an address bus 7; and the CPU 1, OSD circuit 4, ROM 2, and RAM 3 are connected to the buses 6 and 7 respectively and the CPU 1 and OSD circuit 4 exclusively use the ROM 2 or RAM 3.

COPYRIGHT: (C)1999,JPO



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102352

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 15/78

3/153

識別記号

5 1 0

3 3 6

F I

G 0 6 F 15/78

3/153

5 1 0 G

5 1 0 A

3 3 6 B

審査請求 未請求 請求項の数26 O L (全 13 頁)

(21) 出願番号

特願平9-263118

(22) 出願日

平成9年(1997) 9月29日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田中 啓介

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 越智 隆浩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

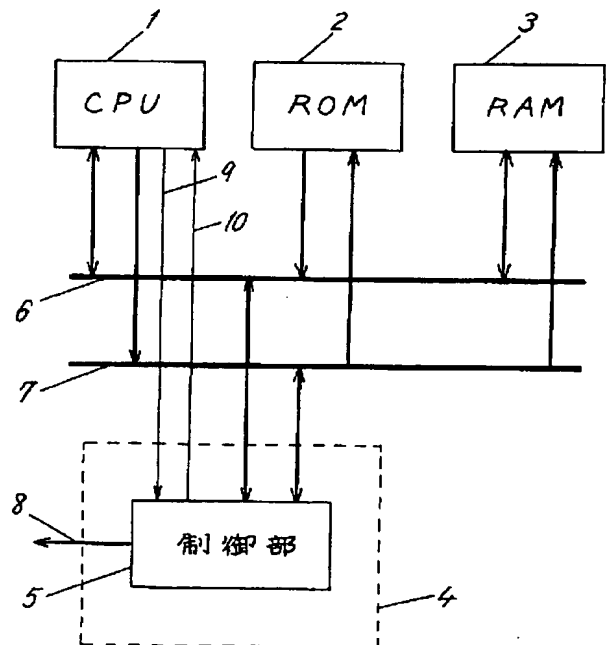
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 文字表示回路内蔵マイクロコンピュータ及びそれを用いた表示装置

(57) 【要約】

【課題】 チップ面積の縮小化が図れ、かつ多様な仕様に対して容易に最適設計できるOSD回路内蔵マイクロコンピュータ及びそれを用いた表示装置を提供することを目的とする。

【解決手段】 命令を実行するためのCPU1と、ディスプレイ上に文字情報を表示するためのOSD回路4と、前記CPU1の使用空間と前記OSD回路4の使用空間が任意に設定されたROM2と、前記CPU1の使用空間と前記OSD回路4の使用空間が任意に設定されたRAM3と、データバス6とアドレスバス7から成る一組のバスとを備え、前記バス6、7に対して前記CPU1と前記OSD回路4と前記ROM2と前記RAM3がそれぞれ接続され、前記CPU1と前記OSD回路4が同一の前記ROM2または前記RAM3を排他的に使用する。



## 【特許請求の範囲】

【請求項1】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMとを備え、前記CPUと前記文字表示回路が同一の前記ROMまたは前記RAMを排他的に使用することを特徴とする文字表示回路内蔵マイクロコンピュータ。

【請求項2】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから成る一組のバスとを備え、前記バスに対して前記CPUと前記文字表示回路と前記ROMと前記RAMがそれぞれ接続され、前記CPUと前記文字表示回路が同一の前記ROMまたは前記RAMを排他的に使用することを特徴とする文字表示回路内蔵マイクロコンピュータ。

【請求項3】 CPUがバスを使用しない場合に、前記CPUから文字表示回路に前記バスを開放した旨を知らせるためのバス開放信号線を備えていることを特徴とする請求項2記載の文字表示回路内蔵マイクロコンピュータ。

【請求項4】 文字表示回路は、バス開放信号線を介してCPUからバスを開放した旨の知らせを受けてから、ROMまたはRAMをアクセスすることを特徴とする請求項3記載の文字表示回路内蔵マイクロコンピュータ。

【請求項5】 CPUがバスを使用している場合に、文字表示回路から前記CPUに対してバスの開放を要求するためのバス開放要求信号線を備えていることを特徴とする請求項2～4のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項6】 文字表示回路がROMまたはRAMへのアクセスを行う際に、CPUが前記ROMまたは前記RAMを使用しておりバスが開放されていない場合、前記文字表示回路から前記CPUにバス開放要求信号線を介してバスの開放要求を出し、前記CPUがこのバスの開放要求を受けて前記ROMまたは前記RAMの使用を一時停止して前記バスを開放することを特徴とする請求項5記載の文字表示回路内蔵マイクロコンピュータ。

【請求項7】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから成る一組の第1のバスと、データバスとアドレスバスから成

る一組の第2のバスとを備え、前記第1のバスに対して前記CPUと前記文字表示回路と前記ROMとがそれぞれ接続され、また、前記第2のバスに対して前記CPUと前記文字表示回路と前記RAMとがそれぞれ接続されており、前記CPUと前記文字表示回路が同一の前記ROMまたは前記RAMを排他的に使用することを特徴とする文字表示回路内蔵マイクロコンピュータ。

【請求項8】 CPUが第1のバスまたは第2のバスのいずれか一方又は両方のバスを使用しない場合に、前記CPUから文字表示回路に対して、使用しない前記第1のバスまたは前記第2のバス的一方または両方のバスを開放した旨を知らせるためのバス開放信号線を備えていることを特徴とする請求項7記載の文字表示回路内蔵マイクロコンピュータ。

【請求項9】 CPUがROMまたはRAMのいずれか一方を使用しているときに、文字表示回路が前記CPUの使用していない他方の前記ROMまたは前記RAMをアクセスすることを特徴とする請求項7または8のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項10】 CPUがROMを使用しない場合には第1のバスを開放し、その旨をバス開放信号線を介して文字表示回路に知らせることによって前記文字表示回路が前記第1のバスを介して前記ROMをアクセスし、また前記CPUがRAMを使用しない場合には第2のバスを開放し、その旨を前記バス開放信号線を介して前記文字表示回路に知らせることによって前記文字表示回路が前記第2のバスを介して前記RAMをアクセスすることを特徴とする請求項8または9のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項11】 CPUが使用している第1のバスまたは第2のバスのいずれか一方又は両方のバスを文字表示回路が使用したい場合に、前記文字表示回路から前記CPUに対して使用したいバスの開放を要求するためのバス開放要求信号線を備えていることを特徴とする請求項7～10のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項12】 文字表示回路がROMへアクセスしたい時に、CPUが前記ROMをしており第1のバスが開放されていない場合、前記文字表示回路から前記CPUに前記バス開放要求信号線を介して前記第1のバスの開放要求を出し、また、前記文字表示回路がRAMへアクセスしたい時に、前記CPUが前記RAMをしており前記第2のバスが開放されていない場合、前記文字表示回路から前記CPUに前記バス開放要求信号線を介して前記第2のバスの開放要求を出すことによって、CPUは開放要求のあったバスに接続されている前記ROMまたは前記RAMの使用を一時停止してバスを開放することを特徴とする請求項11記載の文字表示回路内蔵マイクロコンピュータ。

【請求項13】 第1のバスのデータバスと第2のバス

のデータベースとの間、および、第1のバスのアドレスバスと第2のバスのアドレスバスとの間にそれぞれバススイッチを備え、必要に応じてバススイッチを切り換えることによって第1のバスと第2のバスを接続したり切り離したりできることを特徴とする請求項7～12のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項１４】 ROMのCPUの使用空間にはCPUの使用命令が格納され、ROMの文字表示回路の使用空間には文字表示回路の使用フォントデータが格納されており、また、RAMのCPUの使用空間はCPUのデータの格納やスタック領域として使用され、RAMの文字表示回路の使用空間には文字表示回路の使用文字のキャラクタコードや属性データ等の文字情報が格納されていることを特徴とする請求項１～１３のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項15】  $n$ ビット幅で命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの命令と前記文字表示回路のフォントデータがそれぞれの使用する空間に格納されたROMと、前記CPUまたは前記文字表示回路から前記ROMへのアクセスを制御するためのROMアクセス制御部とを備え、前記CPUと前記ROMアクセス制御部が $n$ ビット幅のデータバスで、また、前記ROMと前記ROMアクセス制御部が $2n$ ビット幅のROM出力データ信号線でそれぞれ接続されていることを特徴とする文字表示回路内蔵マイクロコンピュータ。

【請求項16】 CPUから出力されたROMの偶数アドレス値に基づきROMアクセス制御部を介してROMアクセスした場合、前記ROMから前記ROMアクセス制御部にROM出力データ信号線を介して前記偶数アドレス値および連続する次の奇数アドレス値に対応する2nビットのROMデータが読み出され、前記ROMアクセス制御部で選択された偶数アドレス値に対応するnビットのROMデータが前記CPUにデータバスを介して転送され、奇数アドレス値に対応するnビットのROMデータが前記ROMアクセス制御部に一時保持されることを特徴とする請求項15記載の文字表示回路内蔵マイクロコンピュータ。

【請求項 17】 CPUからROMアクセス制御部に偶数アドレス値に連続する奇数アドレス値が出力された場合、前記ROMアクセス制御部はROMへのアクセスは行わず、前記ROMアクセス制御部に一時保持している奇数アドレス値に対応するnビットのROMデータを前記CPUに転送することを特徴とする請求項16記載の文字表示回路内蔵マイクロコンピュータ。

【請求項18】 CPUからROMアクセス制御部に偶数アドレス値に連続する奇数アドレス値が出力された場合、この期間に文字表示回路が前記ROMアクセス制御部を介してROMへアクセスを行い、前記ROMから前

記文字表示回路にフォントデータを読み出すことを特徴とする請求項 16 または 17 のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項 19】 文字表示回路からROMアクセス制御部に対して、ROMへのアクセスを要求するROMアクセス要求信号を出力するためのROMアクセス信号線を備えていることを特徴とする請求項 15～18 のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項 20】 CPU による ROM アクセス制御部からの ROM アクセスがない期間に、文字表示回路から ROM アクセス制御部に ROM アクセス要求信号を出力することによって、前記 ROM アクセス制御部が前記文字表示回路からのアドレス信号線を選択し、該アドレス信号線からのアドレス値により ROM アクセスが行われ、フォントデータが前記文字表示回路に読み出されることを特徴とする請求項 19 記載の文字表示回路内蔵マイクロコンピュータ。

20 【請求項 21】 CPUからROMアクセス制御部に対して、CPUの命令の分岐や割り込み等によりROMアドレスの連続性が崩れた旨を知らせるROMアドレス分岐信号を出力するためのROMアドレス分岐信号線を備えていることを特徴とする請求項15～20のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項 2 2】 ROM アドレス分岐信号が出力された場合、分岐時点の CPU からの ROM アドレスが偶数アドレス値または奇数アドレス値にかかわらず ROM へのアクセスを行い、入力された前記 ROM アドレスに基づく  $2n$  ビットの ROM データを ROM アクセス制御部に読み出し、入力 ROM アドレスに対応する  $n$  ビットの ROM データを直接 CPU に転送すると共に、入力 ROM アドレスが偶数アドレス値の場合には、偶数アドレス値に対応する  $n$  ビットの ROM データと同時に連続する次の奇数アドレス値に対応する  $n$  ビットの ROM データを読み出して前記 ROM アクセス制御部に一時保持することを特徴とする請求項 2 1 記載の文字表示回路内蔵マイクロコンピュータ。

【請求項 23】 ROMアクセス制御部が、 $n$ ビットのROMデータを保持するための保持手段と、 $n$ ビット幅の3入力データを入力とするROMデータ選択回路と、前記ROMデータ選択回路の3入力データの中からCPUへ出力する1入力データを選択するためのROMデータ選択制御回路とを備え、前記CPUからROMへのアクセスの際、前記CPUからの偶数アドレス値に対応する $n$ ビットのROMデータと前記偶数アドレス値に連続する奇数アドレス値に対応する $n$ ビットのROMデータとからなる $2n$ ビットのROMデータを前記ROMから読み出し、前記ROMデータ選択回路が、前記偶数アドレス値に対応する $n$ ビットのROMデータを第1の入力とし、前記奇数アドレス値に対応する $n$ ビットのROMデータを第2の入力とし、前記奇数アドレス値に対応す

るnビットのROMデータを入力とする前記保持手段からの出力を第3の入力とすることを特徴とする請求項15～22のいずれかに記載の文字表示回路内蔵マイクロコンピュータ。

【請求項24】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMとを有する文字表示回路内蔵マイクロコンピュータと、前記文字表示回路内蔵マイクロコンピュータからの表示信号により文字情報を表示するディスプレイを有するディスプレイ装置とを備え、前記文字表示回路内蔵マイクロコンピュータにおいて、前記文字表示回路と前記CPUとが同一の前記ROMおよび前記RAMを排他的に使用し、前記ディスプレイ上に文字を表示する際、前記文字表示回路に前記ROMから文字のフォントデータと前記RAMから文字の属性データとを読み出し、それを基にして表示信号を生成し、該表示信号を前記ディスプレイ装置に送出することによって前記ディスプレイ上に文字が表示されることを特徴とする文字表示回路内蔵マイクロコンピュータを用いた表示装置。

【請求項25】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから成る一組のバスとを有する文字表示回路内蔵マイクロコンピュータと、前記文字表示回路内蔵マイクロコンピュータからの表示信号により文字情報を表示するディスプレイを有するディスプレイ装置とを備え、前記文字表示回路内蔵マイクロコンピュータにおいて、前記バスに対して前記CPUと前記文字表示回路と前記ROMと前記RAMがそれぞれ接続され、前記文字表示回路と前記CPUとが同一の前記ROMおよび前記RAMを排他的に使用し、前記ディスプレイ上に文字を表示する際、前記文字表示回路に前記ROMから文字のフォントデータと前記RAMから文字の属性データとを読み出し、それを基にして表示信号を生成し、該表示信号を前記ディスプレイ装置に送出することによって前記ディスプレイ上に文字が表示されることを特徴とする文字表示回路内蔵マイクロコンピュータを用いた表示装置。

【請求項26】 命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するための文字表示回路と、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記文字表示回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから

成る一組の第1のバスと、データバスとアドレスバスから成る一組の第2のバスとを有する文字表示回路内蔵マイクロコンピュータと、前記文字表示回路内蔵マイクロコンピュータからの表示信号により文字情報を表示するディスプレイを有するディスプレイ装置とを備え、前記文字表示回路内蔵マイクロコンピュータにおいて、前記第1のバスに対して前記CPUと前記文字表示回路と前記ROMとがそれぞれ接続され、また、前記第2のバスに対して前記CPUと前記文字表示回路と前記RAMとがそれぞれ接続されており、前記文字表示回路と前記CPUとが同一の前記ROMおよび前記RAMを排他的に使用し、前記ディスプレイ上に文字を表示する際、前記文字表示回路に前記ROMから文字のフォントデータと前記RAMから文字の属性データとを読み出し、それを基にして表示信号を生成し、該表示信号を前記ディスプレイ装置に送出することによって前記ディスプレイ上に文字が表示されることを特徴とする文字表示回路内蔵マイクロコンピュータを用いた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスプレイ上に文字情報を表示するための文字表示回路（以下、OSD（On Screen Display）回路と称す）を内蔵するマイクロコンピュータ及びそれを用いた表示装置に関するものである。

【0002】

【従来の技術】テレビやビデオデッキ等のAV機器では、機器の操作性の向上や各種情報の表示のために、ブラウン管や液晶表示装置等のディスプレイ上にマイクロコンピュータのOSD機能を用いて文字情報の表示を行っている。

【0003】図5は、従来のOSD回路内蔵マイクロコンピュータの一例を示すブロック図である。図5において、101はCPU、102はCPU101の命令を格納するためのROM、103はCPU101が使用するデータを格納するためのRAMであり、それぞれデータバス108及びアドレスバス109に接続されている。

【0004】また、104は文字情報を表示するためのOSD回路であって、制御部105、文字のフォントデータを格納するROM106及び表示文字情報を格納するRAM107で構成されており、制御部105およびRAM107はそれぞれデータバス108及びアドレスバス109に接続されている。

【0005】以上のように構成された従来のOSD回路内蔵マイクロコンピュータの動作について、以下に説明する。

【0006】CPU101は、ROM102に格納されている命令を順次読み出し、必要に応じてRAM103にデータの書き込み、もしくはデータの読み出しを行うことでプログラムされた命令を実行する。また、CPU

101の命令実行によりOSD回路104の制御部105を制御し、OSD回路104を動作させる。

【0007】OSD回路104は、

(1) CPU101の命令実行により、表示させる文字のコードと、サイズや色等の属性データをRAM107の定められたアドレス位置に設定する。

(2) 制御部105からRAM107にアドレス信号線110を介して、表示位置に対応する文字コードと属性データが格納されているアドレス値を出力する。

(3) このアドレス信号線110に出力されたRAM107のアドレス値に基づいて、RAM107からデータが読み出され、文字コードはROM106へ、属性データは制御部105へ、それぞれRAM出力データ信号線111を介して送出される。

(4) ROM106では、RAM107から送出された文字コードを基に文字のフォントデータが格納されているアドレス位置を算出してフォントデータを読み出し、ROM出力データ信号線112を介して制御部105へ送出する。

(5) 制御部105では、RAM107から送出された属性データとROM106から送出されたフォントデータを基に表示信号を生成し、表示信号線113を介してディスプレイ装置へ送出する。

の一連の動作でディスプレイ上に文字が表示される。

【0008】

【発明が解決しようとする課題】上記従来のOSD回路内蔵マイクロコンピュータでは、CPU101の命令実行にはROM102及びRAM103を用い、OSD回路104による文字表示にはROM106及びRAM107を用いて行うように構成されている。従って、OSD回路104に必要なROM106及びRAM107と、CPU101に必要なROM102及びRAM103をそれぞれ個別に揃える必要があるため、チップ面積が増大するという課題がある。また、AV機器のグレードやその仕向け地、および、要求されるOSD機能によって、CPUに必要なROMとRAM、およびOSD回路に必要なROMとRAMの容量がそれぞれ異なるため、多様な仕様に依拠して最適設計しようとする膨大な品種展開をしなければならないという課題がある。

【0009】本発明は、上記のような従来の課題を解決するものであり、チップ面積の縮小化が図れ、かつ多様な仕様に対して容易に最適設計できるOSD回路内蔵マイクロコンピュータ及びそれを用いた表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る第1のOSD回路内蔵マイクロコンピュータは、命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するためのOSD回路と、前記CPUの使用空間と前記OSD回路の使用空間が任意に設定されたROMと、

前記CPUの使用空間と前記OSD回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから成る一組のバスとを備え、前記バスに対して前記CPUと前記OSD回路と前記ROMと前記RAMがそれぞれ接続され、前記CPUと前記OSD回路が同一の前記ROMまたは前記RAMを排他的に使用することを特徴とする。

【0011】この第1の構成によれば、ROMおよびRAMにそれぞれCPUとOSD回路が使用する空間を任意に設定できるため、ROMおよびRAMのそれぞれの空間をCPU用の空間とOSD回路用の空間に分割することによって多様な仕様に対応することができる。従って、多様な仕様に対してもROMおよびRAMの全体空間を変えずに対応することが可能であり、ROMおよびRAMの空間を無駄なく使用することができるという作用を有する。しかも、CPUとOSD回路がROMまたはRAMを排他的に使用するため、同一のROMまたはRAMのそれぞれの使用する空間に時分割でアクセスすることができる。

【0012】上記第1のOSD回路内蔵マイクロコンピュータに、CPUからOSD回路にバスを開放した旨を知らせるためのバス開放信号線を設けることによって、CPUがバスを使用しない場合にOSD回路は、バス開放信号線を介してCPUからバスを開放した旨の知らせを受けてからROMまたはRAMをアクセスすることができる。

【0013】また上記第1のOSD回路内蔵マイクロコンピュータに、OSD回路からCPUに対してバスの開放を要求するためのバス開放要求信号線を設けることによって、CPUがバスを使用している場合に、OSD回路からCPUにバス開放要求信号線を介してバスの開放要求を出すとCPUはこのバスの開放要求を受けてROMまたはRAMの使用を一時停止してバスを開放するため、OSD回路が必要に応じてROMまたはRAMへのアクセスを行うことができる。

【0014】本発明に係る第2のOSD回路内蔵マイクロコンピュータは、命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するためのOSD回路と、前記CPUの使用空間と前記OSD回路の使用空間が任意に設定されたROMと、前記CPUの使用空間と前記OSD回路の使用空間が任意に設定されたRAMと、データバスとアドレスバスから成る一組の第1のバスと、データバスとアドレスバスから成る一組の第2のバスとを備え、前記第1のバスに対して前記CPUと前記OSD回路と前記ROMとがそれぞれ接続され、また、前記第2のバスに対して前記CPUと前記OSD回路と前記RAMとがそれぞれ接続されており、前記CPUと前記OSD回路が同一の前記ROMまたは前記RAMを排他的に使用することを特徴とする。

【0015】この第2の構成によれば、第1のバスに対

してCPUとOSD回路とROMとがそれぞれ接続され、また、第2のバスに対してCPUと前記OSD回路と前記RAMとがそれぞれ接続されているため、CPUまたはOSD回路が同時にROMとRAMをアクセスすることができ、また、CPUがROMまたはRAMの一方にアクセスしているときにOSD回路がROMまたはRAMの他方にアクセスすることができる。従って、CPUのバス使用を一時停止することなく、頻繁にOSD回路がROMまたはRAMにアクセスすることが可能となる。

【0016】上記第2のOSD回路内蔵マイクロコンピュータに、CPUからOSD回路に第1のバスまたは第2のバス的一方又は両方のバスを開放した旨を知らせるためのバス開放信号線を設けることによって、CPUが第1のバスまたは第2のバス的一方又は両方のバスを使用しない場合にOSD回路は、バス開放信号線を介してCPUから第1のバスまたは第2のバス的一方又は両方のバスを開放した旨の知らせを受けてから、開放されたバスに接続されているROMまたはRAMをアクセスすることができる。

【0017】また上記第2のOSD回路内蔵マイクロコンピュータに、OSD回路からCPUに対してバスの開放を要求するためのバス開放要求信号線を設けることによって、CPUが第1のバスまたは第2のバス的一方又は両方のバスを使用している場合に、OSD回路からCPUにバス開放要求信号線を介して使用したいバスの開放要求を出すと、CPUはこのバスの開放要求を受けて開放要求のあったバスに接続されているROMまたはRAMの使用を一時停止してバスを開放するため、OSD回路が必要に応じてROMまたはRAMへアクセスを行うことができる。

【0018】さらに上記第2のOSD回路内蔵マイクロコンピュータに、第1のバスのデータバスと第2のバスのデータバスとの間、および、第1のバスのアドレスバスと第2のバスのアドレスバスとの間にそれぞれバススイッチを設けることによって、接続すれば1本のデータバスおよびアドレスバスとして使用することができ、また、バススイッチによって第1のバスと第2のバスを切り離せば、CPUが第1のバスまたは第2のバスのどちらか一方のバスを使用し、OSD回路が他方のバスを使用することができる。

【0019】本発明に係る第3のOSD回路内蔵マイクロコンピュータは、 $n$ ビット幅で命令を実行するためのCPUと、ディスプレイ上に文字情報を表示するためのOSD回路と、前記CPUの命令と前記OSD回路のフォントデータがそれぞれの使用する空間に格納されたROMと、前記CPUまたは前記OSD回路から前記ROMへのアクセスを制御するためのROMアクセス制御部とを備え、前記CPUと前記ROMアクセス制御部が $n$ ビット幅のデータバスで、また、前記ROMと前記RO

Mアクセス制御部が $2n$ ビット幅のROM出力データ信号線でそれぞれ接続されていることを特徴とする。

【0020】この第3の構成によれば、CPUとROMアクセス制御部が $n$ ビット幅のデータバスで接続され、また、ROMとROMアクセス制御部が $2n$ ビット幅のROM出力データ信号線で接続されているため、CPUからの $n$ ビットの命令によってROMから $2n$ ビットのROMデータを読み出すことができる。すなわち、CPUからROMに出力されたROMの偶数アドレス値に基づきROMアクセス制御部を介してROMアクセスした場合、ROMからROMアクセス制御部にROM出力データ信号線を介して偶数アドレス値および連続する次の奇数アドレス値に対応する $2n$ ビットのROMデータを読み出すことができる。この読み出された $2n$ ビットのROMデータは、ROMアクセス制御部で選択され、偶数アドレス値に対応する $n$ ビットのROMデータはCPUにデータバスを介して転送され、奇数アドレス値に対応する $n$ ビットのROMデータはROMアクセス制御部に一時保持される。これによって、CPUからROMアクセス制御部に偶数アドレス値に連続する奇数アドレス値が出力された場合、ROMアクセス制御部はROMへのアクセスは行わず、ROMアクセス制御部に一時保持している奇数アドレス値に対応する $n$ ビットのROMデータをCPUに転送することができる。従って、CPUからROMアクセス制御部に偶数アドレス値に連続する奇数アドレス値が出力された場合、CPUによるROMアクセス制御部からのROMアクセスは行われなため、この期間にOSD回路がROMアクセス制御部を介してROMへアクセスを行い、ROMからOSD回路にフォントデータを読み出すことができる。

【0021】上記第3のOSD回路内蔵マイクロコンピュータに、OSD回路からROMアクセス制御部に対して、ROMへのアクセスを要求するROMアクセス要求信号を出力するためのROMアクセス信号線を設けることによって、CPUによるROMアクセス制御部からのROMアクセスがない期間に、OSD回路からROMアクセス制御部にROMアクセス要求信号を出力することによって、ROMアクセス制御部がOSD回路からのアドレス信号線を選択し、このアドレス信号線からのアドレス値によりROMアクセスが行われ、フォントデータをOSD回路に読み出すことができる。

【0022】また、上記第3のOSD回路内蔵マイクロコンピュータに、CPUからROMアクセス制御部に対して、CPUの命令の分岐や割り込み等によりROMアドレスの連続性が崩れた旨を知らせるROMアドレス分岐信号を出力するためのROMアドレス分岐信号線を設けることによって、CPUから出力されるROMアドレスの連続性が崩れても対応することができる。すなわち、ROMアドレスの連続性が崩れた場合、ROMアドレス分岐信号が出力され、分岐時点のCPUからのRO



## 11

Mアドレスが偶数アドレス値または奇数アドレス値にかかわらずROMへのアクセスを行い、入力されたROMアドレスに基づく2nビットのROMデータをROMアクセス制御部に読み出し、入力ROMアドレスに対応するnビットのROMデータを直接CPUに転送すると共に、入力ROMアドレスが偶数アドレス値の場合には、偶数アドレス値に対応するnビットのROMデータと同時に連続する次の奇数アドレス値に対応するnビットのROMデータを読み出してROMアクセス制御部に一時保持することができる。

【0023】さらに上記第3のOSD回路内蔵マイクロコンピュータにおいて、ROMアクセス制御部が、nビットのROMデータを保持するための保持手段と、nビット幅の3入力データを入力とするROMデータ選択回路と、ROMデータ選択回路の3入力データの中からCPUへ出力する1入力データを選択するためのROMデータ選択制御回路とを備え、CPUからROMへのアクセスの際、CPUからの偶数アドレス値に対応するnビットのROMデータと偶数アドレス値に連続する奇数アドレス値に対応するnビットのROMデータとからなる2nビットのROMデータをROMから読み出し、ROMデータ選択回路が、偶数アドレス値に対応するnビットのROMデータを第1の入力とし、奇数アドレス値に対応するnビットのROMデータを第2の入力とし、奇数アドレス値に対応するnビットのROMデータを入力とする保持手段からの出力を第3の入力とすることを特徴とする。

【0024】本発明に係るOSD回路内蔵マイクロコンピュータを用いた表示装置は、上記第1または第2のOSD回路内蔵マイクロコンピュータと、前記OSD回路内蔵マイクロコンピュータからの表示信号により文字情報を表示するディスプレイを有するディスプレイ装置とを備え、前記ディスプレイに文字を表示する際、前記OSD回路に前記ROMから文字のフォントデータと前記RAMから文字の属性データとを読み出し、それに基づいて表示信号を生成し、この表示信号を前記ディスプレイ装置に送出することによって前記ディスプレイ上に文字が表示されることを特徴とする。

【0025】この構成によれば、AV機器のグレードやその仕向け地、および、要求されるOSD機能など多様な仕様に対して、全体空間（容量）は変えずに同一のROMおよびRAMを用いて、CPUに必要なROMとRAM、およびOSD回路に必要なROMとRAMの空間を任意に分割設定できるため、少ない品種展開で多様な仕様の表示装置を提供することができる。

【0026】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0027】（実施の形態1）図1は、本実施の形態1のOSD回路内蔵マイクロコンピュータの構成を示すブ

## 12

ロック図である。図1において、1はCPU、2はROM、3はRAM、4はOSD回路であり、それぞれのデータバス6及びアドレスバス7に接続されている。OSD回路4は制御部5を備えており、制御部5で生成された表示信号は表示信号線8を介してディスプレイ装置に送出される。9はCPU1がROM2又はRAM3を使用しない場合にバスを開放した旨を知らせるバス開放信号線、10はOSD回路4がCPU1に対してバスの開放を要求するバス開放要求信号線である。

10 【0028】以上のように構成された実施の形態1のOSD回路内蔵マイクロコンピュータについて、その一動作例を以下に説明する。

【0029】まず、CPU1とOSD回路4がそれぞれ使用するためのROM2及びRAM3の空間（容量）をCPUからの命令プログラムによって任意に分割設定する。例えば、表示したい文字の種類が多い場合には、ROM2におけるOSD回路4用の空間を多く設定することによって多くのフォントデータの格納が可能となり、残りの空間がCPU1用の命令を格納するための領域となる。逆に、表示したい文字の種類が少ない場合には、ROM2におけるOSD回路4用の空間を少なくすることができるため、CPU1用の命令を格納するための空間を多く取ることが可能となる。また、一画面に同時に表示する文字数が多い場合には、RAM3におけるOSD回路4用の空間を多く設定することによって多くの表示情報を格納することができ、残りの空間がCPU1のデータを格納するための領域となる。逆に、同時表示する文字数が少ない場合には、OSD回路4用の表示情報を格納するための空間を少なくすることができるので、CPU1が使用するための空間を多く取ることが可能となる。

【0030】このようにROM2及びRAM3は、命令プログラムによって、あらかじめCPU1が使用する空間とOSD回路4が使用する空間が設定される。このROM2においては、CPU1が使用する空間には命令が格納され、OSD回路4が使用する空間にはフォントデータが格納される。また、RAM3においては、CPU1が使用する空間には必要に応じてデータの格納やスタック領域等に使用され、OSD回路4が使用する空間には表示する文字のキャラクタコードや属性データ等の表示情報が格納される。

【0031】CPU1は、データバス6とアドレスバス7を介してROM2に格納された命令を順次読み出し、必要に応じてRAM3のデータを使用しながらプログラムされた命令を実行する。また、ディスプレイに文字を表示する場合、CPU1の命令実行により、OSD回路4の制御部5を制御し、OSD回路4を動作させる。

【0032】OSD回路4は、

(1) CPU1の命令実行により、表示させる文字のコードと、サイズや色等の属性データをRAM3の定めら

れたアドレス位置に設定する。

(2) CPU 1 が命令実行において RAM 3 をアクセスしない場合には、データバス 6 及びアドレスバス 7 を開放し、その旨をバス開放信号線 9 を介して OSD 回路 4 に知らせる。

(3) CPU 1 が RAM 3 をアクセスしていないバス開放期間に、制御部 5 からアドレスバス 7 に表示位置に対応する文字コードと属性データが格納されている RAM 3 のアドレス値を出力する。

(4) このアドレスバス 7 に出力された RAM 3 のアドレス値に基づいて、RAM 3 からデータが読み出され、データバス 6 を介して文字コードと属性データが OSD 回路 4 の制御部 5 に送出される。

(5) CPU 1 が命令実行において ROM 2 をアクセスしない場合には、データバス 6 及びアドレスバス 7 を開放し、その旨をバス開放信号線 9 を介して OSD 回路 4 に知らせる。

(6) CPU 1 が ROM 2 をアクセスしていないバス開放期間に、制御部 5 が RAM 3 から送出された文字コードを基に算出した文字のフォントデータが格納されている ROM 2 のアドレス値をアドレスバス 7 に出力する。

(7) このアドレスバス 7 に出力された ROM 2 のアドレス値に基づいて、ROM 2 からフォントデータが読み出され、データバス 6 を介して制御部 5 へ送出される。

(8) 制御部 5 では、RAM 3 から送出された属性データと ROM 2 から送出されたフォントデータを基に表示信号を生成し、表示信号線 8 を介してディスプレイ装置へ送出する。

【0033】以上の一連の動作でディスプレイ上に文字が表示される。

【0034】また、ディスプレイ装置では、その走査にしたがって決められた時間内に必要な表示信号を送出する必要があるが、OSD 回路 4 がこの時間内に RAM 3 からの属性データと ROM からのフォントデータを読み出すことができないと、正しい表示信号を生成することができず、異なる文字コード、大きさ、色等の誤った表示を行ってしまう等の表示動作の異常を起してしまう。このような異常を防止するために、OSD 回路 4 が文字表示するために必要な時間内に CPU 1 がバスを開放しない場合には、OSD 回路 4 は CPU 1 に対してバス開放要求信号線 10 を介してバスの開放を要求する。CPU 1 は、このバス開放要求があれば一時的に命令実行を停止してバスを開放し、バス開放信号線 9 を介して OSD 回路 4 にバス開放信号を出力すると共にバスの使用権を OSD 回路 4 に引き渡す。OSD 回路 4 では、CPU 1 からのバス開放信号を確認すると、必要に応じて ROM 2 又は RAM 3 のアクセスを行うことにより、表示動作が異常になることを防ぐことができる。

【0035】(実施の形態 2) 図 2 は、本実施の形態 2 の OSD 回路内蔵マイクロコンピュータの構成を示すブ

ロック図である。図 2 において、1 は CPU、2 は ROM、3 は RAM、4 は OSD 回路であり、ROM 2 はデータバス 12 及びアドレスバス 13 とで、RAM 3 はデータバス 14 及びアドレスバス 15 とでそれぞれ CPU 1 及び OSD 回路 4 と接続されている。また、11 はバススイッチで、データバス 12 と 14 との間、および、アドレスバス 13 と 15 との間に接続されている。上記以外の構成は図 1 に示す実施の形態 1 と同じである。

【0036】以上のように構成された実施の形態 2 の OSD 回路内蔵マイクロコンピュータについて、その一動作例を以下に説明する。

【0037】実施の形態 1 と同様に ROM 2 及び RAM 3 は、命令プログラムによって、あらかじめ CPU 1 が使用する空間と OSD 回路 4 が使用する空間が設定され、ROM 2 の CPU 1 が使用する空間には命令が格納され、OSD 回路 4 が使用する空間にはフォントデータが格納される。また、RAM 3 の CPU 1 が使用する空間には必要に応じてデータの格納やスタック領域等を使用され、OSD 回路 4 が使用する空間には表示する文字のキャラクタコードや属性データ等の表示情報が格納される。

【0038】CPU 1 は、データバス 12 とアドレスバス 13 を介して ROM 2 に格納された命令を順次読み出す。また必要に応じてデータバス 14 とアドレスバス 15 を介して RAM 3 のデータを使用しながらプログラムされた命令を実行する。また、文字表示する場合、CPU 1 の命令実行により OSD 回路 4 の制御部 5 を制御し、OSD 回路 4 を動作させる。

【0039】OSD 回路 4 は、

(1) CPU 1 の命令実行により、表示させる文字のコードと、サイズや色等の属性データを RAM 3 の定められたアドレス位置に設定する。

(2) CPU 1 が命令実行において RAM 3 をアクセスしない場合には、データバス 14 及びアドレスバス 15 を開放し、その旨をバス開放信号線 9 を介して OSD 回路 4 に知らせる。

(3) CPU 1 が RAM 3 をアクセスしていないバス開放期間に、制御部 5 からアドレスバス 15 に表示位置に対応する文字コードと属性データが格納されている RAM 3 のアドレス値を出力する。

(4) このアドレスバス 15 に出力された RAM 3 のアドレス値に基づいて、RAM 3 からデータが読み出され、データバス 14 を介して文字コードと属性データが OSD 回路 4 の制御部 5 に送出される。

(5) CPU 1 が命令実行において ROM 2 をアクセスしない場合は、データバス 12 及びアドレスバス 13 を開放し、その旨をバス開放信号線 9 を介して OSD 回路 4 に知らせる。

(6) CPU 1 が ROM 2 をアクセスしていないバス開放期間に、制御部 5 が RAM 3 から送出された文字コー

ドを基に算出した文字のフォントデータが格納されているROM2のアドレス値をアドレスバス13に出力する。

(7) このアドレスバス13に出力されたROM2のアドレス値に基づいて、ROM2からフォントデータが読み出され、データバス12を介して制御部5へ送出される。

(8) 制御部5では、RAM3から送出された属性データとROM2から送出されたフォントデータを基に表示信号を生成し、表示信号線8を介してディスプレイ装置へ送出する。

【0040】また、OSD回路4が文字表示するために必要な時間内に、CPU1がデータバス12とアドレスバス13、又は、データバス14とアドレスバス15を開放しない場合には、OSD回路4はCPU1に対しバス開放要求信号線10を介して使用したいバス側(12と13、又は、14と15)を開放するように要求する。CPU1は、OSD回路4からバス開放要求があると開放要求のあったバス側の使用を停止し、バス開放信号をバス開放信号線9を介してOSD回路4に出力すると共に、バスの使用権をOSD回路4に引き渡す。これによって、OSD回路4は、文字表示するために必要な時間内にROM2又はRAM3のアクセスを行うことが可能となるため、表示動作が異常になることを防ぐことができる。なお、上述の説明では、OSD回路4からCPU1にバス開放要求があった場合、要求されたバス側だけを開放したが、両方のバスを開放しても良い。

【0041】以上の如く実施の形態2では、ROM2とRAM3が独立した別のバス(12と13又は14と15)を介して接続されている為、CPU1とOSD回路4とが同時に異なるバスを介してROM2またはRAM3を使用することが可能である。

【0042】たとえば、

- (1) CPU1がROM2とRAM3を使用
- (2) CPU1がROM2を、OSD回路4がRAM3を使用
- (3) OSD回路4がROM2を、CPU1がRAM3を使用

(4) OSD回路4がROM2とRAM3を使用の組み合わせを取ることが可能となる。すなわち、CPU1がROM2又はRAM3の一方のバスしか使用していない場合、使用していない他方のバス側を開放することによって、CPU1を停止することなくOSD回路4がROM2又はRAM3をアクセスすることが可能となる。従って、OSD回路4によって文字表示する際、CPU1へのバス開放要求を必要最小限に低減することができるため、CPU1の命令実行に対する影響を低減することができる。

【0043】(実施の形態3) 図3は、本実施の形態3のOSD回路内蔵マイクロコンピュータのROM側のア

クセス部のブロック図である。図3において、1はCPU、2はROM、4はOSD回路、5は制御部、16はROMアクセス制御部である。また、8は表示信号線、17は2nビット幅のROM出力データ信号線、18はROM2へ入力されるROMアドレス信号線、19はnビット幅のデータバス、20はアドレスバス、21はOSD回路4より出力されるアドレス信号線、22はROMアドレス分岐信号線、23はROMアクセス要求信号線である。

10 【0044】上記ROMアクセス制御部16の一実施の形態のブロック図を図4に示す。図4において、16aはROMデータ選択回路、16bはROMアドレス選択回路、16cはラッチ回路、16dはROMデータ選択回路16aの選択制御回路、16eはROMアドレス選択回路16bの選択制御回路である。

【0045】CPU1の命令フェッチはnビットで行われるが、本実施の形態ではROM2のアクセスはCPU1の命令フェッチ幅の2倍の2nビットで行う構成を取っている。従って、データバス19のバス幅はnビットであるが、ROM出力データ信号線17のビット幅は2nビットである。

【0046】以上のように構成された実施の形態3のOSD回路内蔵マイクロコンピュータについて、その一動作例を以下に説明する。

【0047】CPU1は、通常偶数アドレスの命令のフェッチを行う時に、同時にROM2に対して次の奇数アドレスの命令の読み出しを行い、読み出した奇数アドレスのデータは一時ROMアクセス制御部16に保持し、次にCPU1が奇数アドレスの命令のフェッチを行う時に保持した命令をCPU1に供給することによって、ROM2へのアクセスは行わないようにする。但し、命令の分岐等が発生しアドレスの連続性が崩れた場合には奇数アドレスであったとしてもROM2のアクセスを行う。

【0048】従って、ROM2のアクセスには以下のような場合がある。

- (1) CPU1が偶数アドレスをアクセスする場合  
この場合、図4のROMアドレス選択回路16bは、アドレスバス20側を選択し、CPU1から出力されたアドレス値がそのままROMアドレス信号線18を介してROM2に入力される。ROM2から読み出された2nビットの命令コードは、ROM出力データ信号線17を介してROMアクセス制御部16に転送される。ROMアクセス制御部16では、図4のROMデータ選択回路16aにおいてROM出力データ信号線の低位nビット線17aが選択され、そのままROM2から読み出された命令コードをCPU1へ転送する。また同時に、ROM2から読み出された命令コードの上位nビットは、ROM出力データ信号線17bを介してラッチ回路16c

(2) CPU1が直前にアクセスした偶数アドレスに連続する奇数アドレスをアクセスする場合

この場合には、OSD回路4からROMアクセス制御部16にROMアクセス要求信号線23を介してROMアクセス要求信号が出力されると、図4のROMアドレス選択回路16bは、OSD回路4からのアドレス信号線21側を選択し、ROMアドレス信号線18を介してROM2にフロントデータが格納されるアドレス値が入力される。このアドレス値に基づいて、ROM2からフロントデータが読み出され、ROM出力データ信号線17を介してOSD回路4の制御部5に転送される。一方ROMデータ選択回路16aは、ROM出力データの上位nビットを一時保持したラッチ回路16cに接続された出力信号線17cを選択し、ラッチ回路16cに保持された命令コードをCPU1へ転送する。

【0049】なお、OSD回路4からROMアクセス要求信号が出力されていない場合は、ROM2へのアクセスが不要な場合であるため、ROMアドレス選択回路16bはアドレスバス20またはアドレス信号線21のどちら側を選択していてもかまわない。

(3) CPU1が直前にアクセスした偶数アドレスに連続しない奇数アドレスをアクセスする場合

この場合は、命令の分岐や割り込み等によりROMアドレスの連続性が崩れた場合に相当し、図4のROMアドレス選択回路16bはアドレスバス20側を選択し、CPU1から出力されたアドレス値がそのままROMアドレス信号線18を介してROM2に入力される。ROM2から読み出された2nビットの命令コードは、ROM出力データ信号線17を介してROMアクセス制御部16に転送される。ROMアクセス制御部16では、図4のROMデータ選択回路16aにおいてROM出力データ信号線の上位nビット線17bが選択され、そのままROM2から読み出された命令コードをCPU1へ転送する。

【0050】以上3つの場合において、ROMデータ選択回路16a及びROMアドレス選択回路16bの選択信号線25a及び25bを生成する回路が、ROMデータ選択制御回路16d及びROMアドレス選択制御回路16eである。

【0051】ROMデータ選択制御回路16dは、CPU1から出力されるROMアドレス分岐信号線22とアドレスバス20の最下位ビット線(LSB)20aにより制御される。このROMアドレス分岐信号線22は、命令の分岐や割り込み等によりROMアドレスの連続性が崩れる場合に出力される。

【0052】通常、アドレスバスの最下位ビット線20aが偶数アドレス(一般的には“0”)を示す場合は、ROM出力データ信号線の下位nビット線17aが選択される。また、ROMアドレス分岐信号線22が出力されず、アドレスバスの最下位ビット線20aが奇数アド

レス(一般的には“1”)を示す場合は、ラッチ回路16cに接続されている出力信号線17cを選択する。ROMアドレス分岐信号線22が出力された場合は、アドレスバスの最下位ビット線20aが奇数アドレスを示す場合であってもROM出力データ信号線の上位nビット線17bが選択される。

【0053】また、ROMデータ選択回路16aがラッチ回路16cからの出力信号線17cを選択している場合は、ROMデータ選択制御回路16dよりOSD回路4がROMアクセス可能であることを示す信号をOSDアクセス許可信号線24に出力する。

【0054】ROMアドレス選択制御回路16eは、OSD回路4から出力されるROMアクセス要求信号線23とROMデータ選択制御回路16dから出力されるOSDアクセス許可信号線24により制御される。通常ROMアドレス選択回路16bは、アドレスバス20側を選択している。OSDアクセス許可信号線24とROMアクセス要求信号線23が出力された場合に、ROMアドレス選択回路16bはOSD回路4から出力されるアドレス信号線21側を選択する。

【0055】なお、上記実施の形態3では、ROM出力信号線の下位nビットに偶数アドレスのデータが、上位nビットに奇数アドレスのデータが出力される場合について説明したが、上位nビットに偶数アドレスのデータが、下位nビットに奇数アドレスのデータが出力される場合についても同様であることは言うまでもない。

【0056】一般的にプログラムでは命令をフェッチするためのアドレス値は、特殊な場合を除いて連続性が保たれる。従って通常はCPUとOSD回路が交互にROMをアクセスする事になる。このROMアクセスのタイミング図を図6および図7に示す。簡単化のためにCPUがフェッチする命令のビット幅を8ビットとする。

【0057】図7は、従来のマイクロコンピュータのROMアクセスのタイミング図であり、アドレスの連続性が保たれている場合を示す。アドレスは順次2n番地、2n+1番地、2n+2番地、・・・と偶数番地と奇数番地が交互にアクセスされ、ROMからは8ビットの命令コードが読み出される。従って、この場合はOSD回路がROMをアクセスする余裕が無いことが分かる。

【0058】図6(a)～(c)は、本発明におけるROMアクセスのタイミング図である。

【0059】まず図6(a)は、アドレスの連続性が保たれている場合を示す。従来のマイクロコンピュータとは異なり、CPUの命令フェッチビット幅の2倍である16ビットでROMアクセスが行われる。CPUが偶数アドレスをアクセスする時(2n番地、2n+2番地、・・・)に、次の奇数アドレス(2n+1番地、2n+3番地、・・・)の命令も同時に読み出し、CPUが本来奇数番地をアクセスするタイミングでOSD回路がROMのアクセスを行っている(2k番地、2k+2番

地、・・・)。この場合は、CPUとOSD回路が交互にROMアクセスを行っているが、CPU側から見れば、同一期間内に読み出される命令のビット数は従来のマイクロコンピュータと同一になり、CPUの動作に影響が無いことが分かる。

【0060】図6(b)は、命令の分岐等によりアドレスの連続性が崩れた第1の場合のタイミング図であり、CPUからのアドレスが $2n+2$ 番地から奇数番地である $2m+1$ 番地に移った場合である。CPUが $2n$ 番地、 $2n+2$ 番地と連続性を保っている間は図6(a)と同様に交互にOSD回路のアクセスが行われるが、 $2n+2$ 番地から $2m+1$ 番地に分岐した時には奇数番地ではあるがCPU側のROMアクセスが優先され、 $2m+1$ 番地の命令がCPUへ転送される。次のタイミングは偶数番地の $2m+2$ 番地でありCPU側の命令が16ビット同時に読み出され、以降アドレスの連続性が保たれる期間は図6(a)のタイミングでCPUとOSD回路が交互にROMアクセスを行う。

【0061】図6(c)は命令の分岐等によりアドレスの連続性が崩れた第2の場合のタイミング図であり、CPUからのアドレスが $2n+2$ 番地から偶数番地である $2m+2$ 番地に移った場合である。CPUが $2n$ 番地、 $2n+2$ 番地と連続性を保っている間は図6(a)と同様に交互にOSD回路のアクセスが行われるが、 $2n+2$ 番地から $2m+2$ 番地に分岐した時には、分岐先が偶数番地である為、連続してCPU側がROMアクセスを行う。この場合次の奇数アドレス( $2m+3$ 番地)の命令を同時に読み出している為、以降アドレスの連続性が保たれる期間は図6(a)のタイミングでCPUとOSD回路が交互にROMアクセスを行う。

【0062】従って本発明によると、マイクロコンピュータの特性により特殊な場合を除いて命令フェッチのアドレスの連続性が保たれるため、CPUとOSD回路が交互にROMアクセスを行う事ができるようになり、CPUの動作に影響を与えることなく同一のROMをCPUとOSD回路で使用する事が可能となる。

【0063】すなわちCPUとOSD回路が同一のRAM及びROMを使用できるようになる為、それぞれが使用するROM及びRAMの容量分割の自由度が高まり、例えば表示するために必要な文字の種類が多い仕向け地の機器にはフォントデータを格納する為の領域を大きく取る事ができたり、逆にフォントデータが少なくても良い様な仕向け地の機器には逆にプログラム領域を大きく取ることで新たな仕様が実現できる様になるなど、有限な資源であるROMやRAMを無駄なく使用することが可能になる。

【0064】

【発明の効果】以上のように本発明によれば、CPUとOSD回路が同一のROMおよびRAMを排他的に使用

し、且つROMおよびRAMにおけるCPUとOSD回路がそれぞれ使用する空間を任意に分割設定することができるため、チップ面積の縮小化が図れ、かつ少ない品種展開で容易に多様な仕様に応じた最適設計のOSD回路内蔵マイクロコンピュータを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るOSD回路内蔵マイクロコンピュータの構成を示すブロック図

【図2】本発明の実施の形態2に係るOSD回路内蔵マイクロコンピュータの構成を示すブロック図

【図3】本発明の実施の形態3に係るOSD回路内蔵マイクロコンピュータの構成を示すブロック図

【図4】本発明の実施の形態3に係る図3のROMアクセス制御部の構成を示すブロック図

【図5】従来のOSD回路内蔵マイクロコンピュータの構成を示すブロック図

【図6】本発明に係るOSD回路内蔵マイクロコンピュータのROMアクセスを示すタイミング図

【図7】従来のOSD回路内蔵マイクロコンピュータのROMアクセスを示すタイミング図

【符号の説明】

1 CPU

2 ROM

3 RAM

4 OSD回路

5 OSD回路の制御部

6, 12, 14, 19 データバス

7, 13, 15, 20 アドレスバス

8 表示信号線

9 バス開放信号線

10 バス開放要求信号線

11 バススイッチ

16 ROMアクセス制御部

16a ROMデータ選択回路

16b ROMアドレス選択回路

16c ラッチ回路

16d ROMデータ選択制御回路

16e ROMアドレス選択制御回路

17 ROM出力データ信号線

17a ROM出力データ信号線(下位nビット)

17b ROM出力データ信号線(上位nビット)

17c ラッチ回路の出力信号線

18 ROMアドレス信号線

21 アドレス信号線

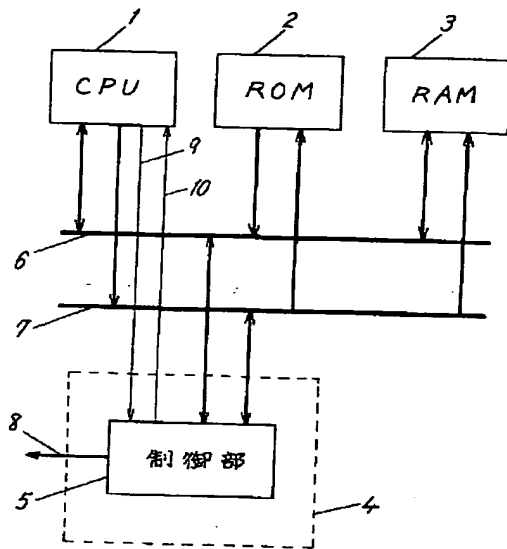
22 ROMアドレス分岐信号線

23 ROMアクセス要求信号線

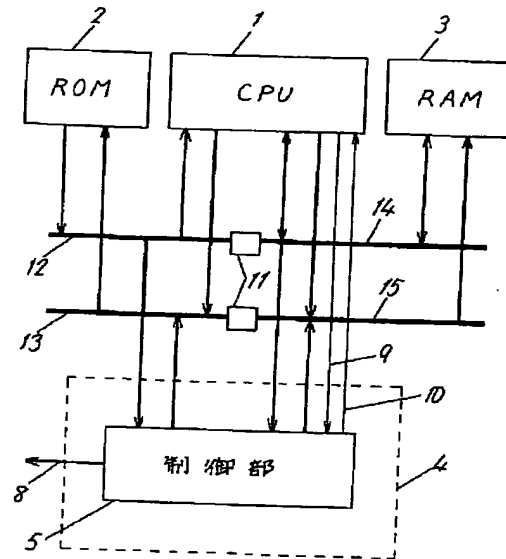
24 OSDアクセス許可信号線

25a, 25b 選択信号線

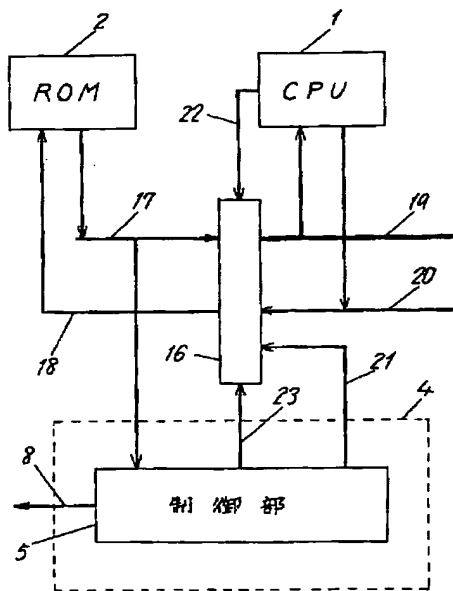
【図1】



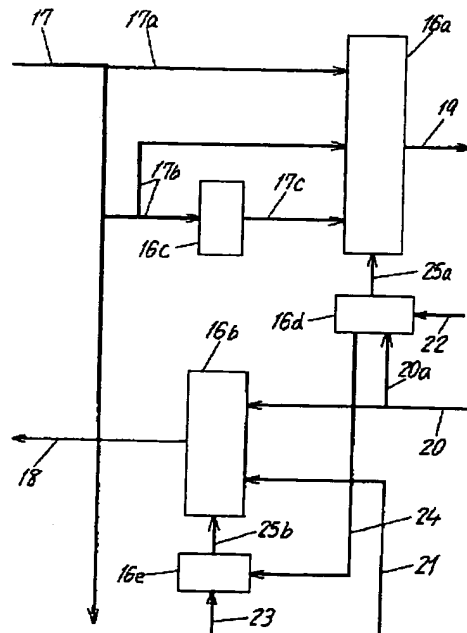
【図2】



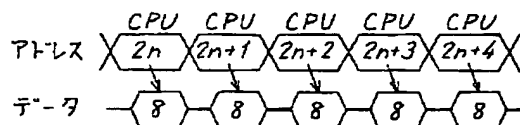
【図3】



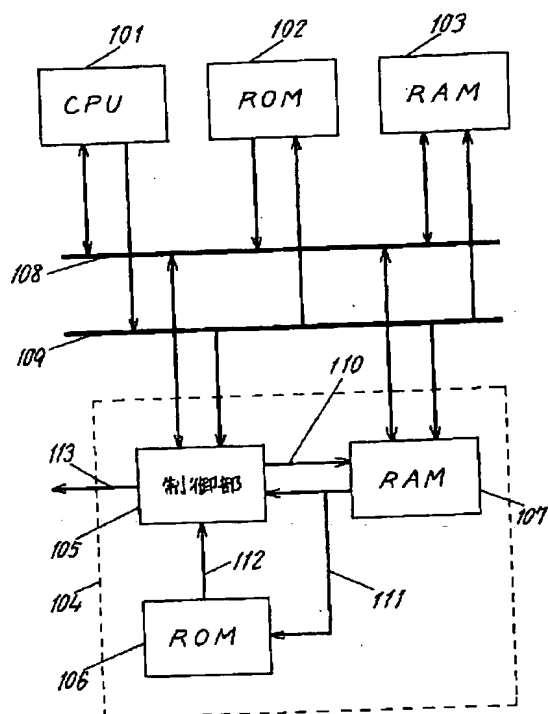
【図4】



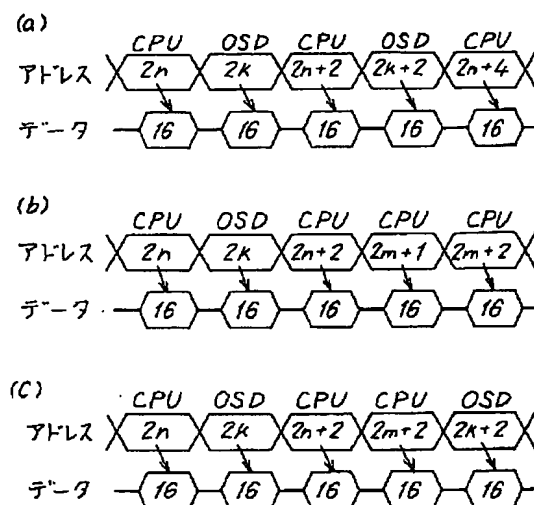
【図7】



【図5】



【図6】



**THIS PAGE BLANK (USPTO)**